



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0051086
Application Number

출원 년 월 일 : 2003년 07월 24일
Date of Application JUL 24, 2003

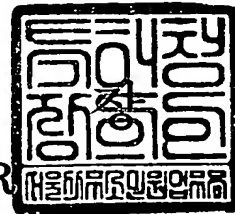
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.07.24
【발명의 명칭】	전자트랩을 억제할 수 있는 트렌치형 소자분리막의 형성 방법
【발명의 영문명칭】	METHOD FOR PREVENTING ELECTRON TRAPPING OF TRENCH ISOLATION
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	임재은
【성명의 영문표기】	LIM, Jae Eun
【주민등록번호】	630902-1550518
【우편번호】	134-790
【주소】	서울특별시 강동구 명일동 251-1 101-1006
【국적】	KR
【발명자】	
【성명의 국문표기】	손용선
【성명의 영문표기】	SOHN, Yong Sun
【주민등록번호】	601109-1010923
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 경남아파트 707-704
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)



1020030051086

출력 일자: 2003/10/30

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	3	면	3,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	32,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 라이너질화막을 생략하면서도 소자분리막 주변의 전자트랩에 의한 누설전류를 방지할 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하기 위한 것으로, 본 발명의 반도체 소자의 소자분리막 형성 방법은 반도체 기판의 소자 분리 영역을 소정 깊이만큼 식각하여 트렌치를 형성하는 단계, 상기 트렌치의 내측 표면에 측벽산화막을 형성하는 단계, 상기 측벽산화막을 포함한 상기 반도체 기판 상부에 라이너산화막을 형성하는 단계, 상기 측벽산화막과 상기 라이너산화막의 계면에 질소를 축적시키는 질화처리 단계, 상기 트렌치 내부가 충분히 매립되도록 상기 라이너산화막 상에 절연막을 형성하는 단계, 및 상기 절연막을 평탄화하는 단계를 포함한다.

【대표도】

도 4c

【색인어】

트렌치, 소자분리막, 전자트랩, 라이너산화막, 라이너질화막, 질화산화막

【명세서】

【발명의 명칭】

전자트랩을 억제할 수 있는 트렌치형 소자분리막의 형성 방법{METHOD FOR PREVENTING ELECTRON TRAPPING OF TRENCH ISOLATION}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 STI 구조의 소자분리막을 도시한 도면,

도 2는 종래 기술에 따른 pMOSFET 사이를 분리하는 소자분리막의 누설전류 경로를 나타낸 도면,

도 3은 종래 기술에 따른 실리콘 질화처리법(silicon nitridation)을 적용한 경우의 소자분리막을 도시한 도면,

도 4a 내지 도 4d는 본 발명의 제1실시예에 따른 소자분리막의 형성 방법을 도시한 공정 단면도,

도 5a 내지 도 5d는 본 발명의 제2실시예에 따른 소자분리막의 형성 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|-------------|-------------|
| 31 : 반도체 기판 | 32 : 패드산화막 |
| 33 : 패드질화막 | 34 : 트렌치 |
| 35 : 측벽산화막 | 36 : 라이너산화막 |
| 37 : 질화산화막 | 37a : 질소축적층 |

38 : 소자분리막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 트렌치 구조의 소자분리막을 갖는 반도체 소자의 제조 방법에 관한 것이다.
- <13> 반도체 기술의 진보와 더불어 더 나아가서는 반도체 소자의 고속화, 고집적화가 진행되고 있다. 이에 수반해서 패턴에 대한 미세화의 필요성이 점점 높아지고 있으며, 패턴의 치수도 고정밀화가 요구되고 있다. 이는 반도체 소자에 있어서, 넓은 영역을 차지하는 소자 분리 영역에도 적용된다.
- <14> 반도체 소자의 소자분리막으로는 로코스(LOCOS) 산화막이 대부분 이용되었다. 그러나, 로코스 방식의 소자 분리막은 그 가장자리 부분에 새부리 형상의 버즈빅이 발생하여, 활성영역의 면적을 감소시키면서 누설전류를 발생시키는 단점을 갖는다.
- <15> 현재에는 좁은 폭을 가지면서, 우수한 소자 분리 특성을 갖는 STI(shallow trench isolation) 구조가 제안되었으며, 이러한 STI 구조를 갖는 반도체 소자에 대하여 도 1을 참조하여 설명하기로 한다.
- <16> 도 1은 종래 기술에 따른 STI 구조의 소자분리막을 도시한 도면이다.

- <17> 도 1에 도시된 바와 같이, 반도체 기판(11)의 소자분리영역을 식각하여 형성된 트렌치(12)가 소정 깊이로 형성되고, 트렌치(12) 내측 표면을 열산화시켜 형성한 측벽산화막(13)이 트렌치(12)의 바닥 및 측벽에 형성된다.
- <18> 그리고, 측벽산화막(13) 상에 완충용 라이너(buffer liner)인 라이너질화막(14)이 형성되고, 라이너질화막(14) 상에 라이너산화막(15)이 형성되고, 라이너산화막(15) 상에 트렌치(12)를 매립하면서 평탄화된 표면을 갖는 절연막(15)이 형성된다.
- <19> 전술한 종래 기술에서는 리프레시(refresh) 개선을 위해 라이너질화막(14)을 사용하고 있는 STI 구조를 채택하고 있다.
- <20> 그러나, 종래기술의 STI 구조를 갖는 반도체 소자는 도 2에 도시된 바와 같은 문제점을 갖는다.
- <21> 도 2는 종래 기술에 따른 pMOSFET 사이를 분리하는 소자분리막의 누설전류 경로를 나타낸 도면으로서, 이해를 돕기 위해 확대한 도면이다.
- <22> 도 2에 도시된 바와 같이, 일반적으로 트랜지스터의 핫 캐리어(hot carrier)들은 높은 에너지를 지니고 있으므로, 박막의 게이트산화막(16)으로 튀어오르거나, 측벽산화막(13)을 관통하여 소자분리막(15)에 침투하기 쉽다. 여기서, 소자분리막(15)에 침투되는 핫 캐리어(Hot carrier)들은 대부분 전자(e^-)로서, 소자분리막(15)과 활성영역간 계면의 라이너질화막(14)과 측벽산화막(13)의 계면에 쉽게 트랩된다. 즉, 측벽산화막(13)의 두께가 매우 얇으므로 측벽산화막(13)과 라이너질화막(14)의 계면에 비결합결함(non-bonding defect)들에 의한 전자 트랩(electron trapping)이 심각하게 발생한다.

<23> 이와같이 소자분리막(15)의 가장자리에 전자(e^-)들이 트랩되면, 소자분리막의 주변에는 쉽게 반전층(Inversion layer)이 형성되어 펀치쓰루가 발생한다. 즉, 전자(e^-)들이 라이너질화막(14)과 측벽산화막(13)의 계면에 매우 조밀하게 트랩되어 있으므로, p형 소스/드레인접합(18)에 역바이어스(reverse bias)에 의해 공핍층(depletion layer, 19)이 생성되고 생성된 전기장에 의한 충돌이온화(impact ionization)에 의해 전자홀쌍(Electron Hole Pair)이 발생된다. 따라서, 소자분리막(15)의 외주면에 밀집된 홀(h)이 소자분리막(15)을 사이에 두고 분리된 p형 소스/드레인접합(18) 사이를 연결시키는 전류패스(I)로 작용한다. 이로 인하여, 소자분리막(15)에 의하여 소자 분리되었다고 하더라도 인접하는 pMOSFET 사이가 턴온되므로써 펀치쓰루, 즉 오프상태의 누설전류(Off-state leakage) 증가를 초래한다.

<24> 이와 같은 펀치쓰루 문제는 디자인룰이 감소할수록 소자분리막의 길이가 감소하기 때문에 그 심각성은 더욱 크고, 현재 80nm 기술에서도 문제가 되고 있으며, 측벽산화막(13)의 두께를 증가시키는 방법과 함께 소자분리막의 갭필마진(gapfill margin) 확보차원에서 라이너질화막이 생략된 구조가 요구되었다.

<25> 위와 같이 라이너질화막과 측벽산화막의 계면에 생성된 전자들에 의한 영향을 최소화하기 위해 측벽산화막의 두께를 증가시키는 방법이 제안되었으나, 측벽산화막의 두께가 증가함에 따라 소자분리막의 갭필마진이 심각하게 열화되는 문제가 발생하였다.

<26> 【표 1】

측벽산화막(A)	60		80		100	
라이너질화막(A)	50	0	50	0	50	0
종횡비(aspect ratio)	6.5	5.4	6.9	5.6	7.3	5.9

- <27> 표1에 따르면, 라이너질화막의 적용 유무에 따라 중형비가 차이가 있고, 라이너질화막을 적용하고 측벽산화막의 두께를 점차 증가시킬수록 소자분리막의 갭필마진을 나타내는 중형비가 증가함을 알 수 있다.
- <28> 따라서, 측벽산화막의 두께를 증가시키는데는 한계가 있고, 이를 해결하기 위해 라이너질화막을 생략한 구조가 제안되었다.
- <29> 도 3은 종래 기술에 따른 소자분리막 구조를 도시한 도면으로서, 라이너질화막의 역할을 수행하는 실리콘 질화처리법(silicon nitridation)을 적용한 경우이다.
- <30> 도 3에 도시된 바와 같이, 반도체 기판(21)에 트렌치(22)를 형성한 후, 트렌치(22)의 측벽을 산화시켜 측벽산화막(23)을 형성한다. 그리고 나서, NO, N₂O, NH₃ 분위기에서 질화처리 공정을 진행하여 트렌치(22) 표면을 질화시킨다. 이와 같은 질화처리에 의해 측벽산화막(23)과 접하는 트렌치(22)의 표면에는 실리콘질화층(24)이 형성된다. 이러한 실리콘질화막층(24)은 라이너질화막의 리프레시 개선이라는 고유 기능을 수행한다. 그리고, 측벽산화막(23) 상에 트렌치(22)을 갭필하면서 표면이 평탄한 소자분리막(25)이 형성된다.
- <31> 그러나, 질화처리가 활성영역과 소자분리막(25)간 계면에서도 이루어지므로 후속 게이트산화막(26) 공정시 계면에서 게이트산화막(26)이 얇아지는 게이트산화막 씨닝(Thinning) 현상(X)이 발생하는 문제가 있다. 일반적으로 질소는 게이트산화막의 성장을 억제하는 것으로 알려져 있다. 이처럼 게이트산화막 씨닝 현상이 발생하면 수율을 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

- <32> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 라이너질화막을 생략하면서도 소자분리막 주변의 전자트랩에 의한 누설전류를 방지할 수 있는 반도체 소자의 소자분리막 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <33> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 소자분리막 형성 방법은 반도체 기판의 소자 분리 영역을 소정 깊이만큼 식각하여 트렌치를 형성하는 단계, 상기 트렌치의 내측 표면에 측벽산화막을 형성하는 단계, 상기 측벽산화막을 포함한 상기 반도체 기판 상부에 라이너산화막을 형성하는 단계, 상기 측벽산화막과 상기 라이너산화막의 계면에 질소를 축적시키는 질화처리 단계, 상기 트렌치 내부가 충분히 매립되도록 상기 라이너산화막 상에 절연막을 형성하는 단계, 및 상기 절연막을 평탄화하는 단계를 포함하는 것을 특징으로 한다.
- <34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <35> 도 4a 내지 도 4d는 본 발명의 제1실시예에 따른 소자분리막의 형성 방법을 도시한 공정 단면도이다.
- <36> 도 4a에 도시된 바와 같이, 반도체 기판(31) 상에 패드산화막(32)과 패드질화막(33)을 순차적으로 적층한다. 여기서, 반도체 기판(31)은 소정의 불순물을 포함한 실리콘 기판이다.

그리고, 패드산화막(32)은 $50\text{\AA} \sim 100\text{\AA}$ 두께로 형성되고, 패드질화막(33)은 $500\text{\AA} \sim 1000\text{\AA}$ 두께로 형성된다.

<37> 다음에, 반도체 기판(31)의 소자분리 예정영역이 노출되도록 패드질화막(33) 및 패드산화막(32)을 공지의 포토리소그래피 공정을 이용하여 식각한다. 즉, 미도시된 소자분리마스크(Isolation mask)를 이용하여 패드질화막(33)과 패드산화막(32)을 식각한다.

<38> 다음으로, 소자분리마스크 또는 소자분리마스크를 제거한 후의 패드질화막(33)을 마스크로 하여, 반도체 기판(31)을 $1000\text{\AA} \sim 1500\text{\AA}$ 의 깊이로 식각하여 트렌치(34)를 형성한다. 이때, 트렌치(34)는 STI를 형성하기 위한 얇은 트렌치이며, 트렌치(34)를 형성하기 위한 식각 공정은 플라즈마를 이용한 건식 식각 공정이 이용될 수 있다. 이러한 건식 식각 공정으로, 트렌치(34) 표면에 실리콘 격자 결함 및 데미지와 같은 누설 전류원이 발생될 수 있다.

<39> 그 다음, 트렌치(34) 표면에 발생된 격자 결함 및 데미지를 치유하도록, 트렌치(34)의 내측 표면을 열산화하여 트렌치(34)의 측벽 및 바닥에 걸치는 측벽산화막(35)을 형성한다. 여기서, 측벽산화막(35)은 $20\text{\AA} \sim 135\text{\AA}$ 두께로 얇게 형성된다.

<40> 전술한 측벽산화막(35) 공정은 계면트랩(interface trap)이 적은 산화 공정을 사용하는 데, 예를 들어 산화 초기에 Cl 가스를 5%~10% 범위로 첨가하고 $850^{\circ}\text{C} \sim 950^{\circ}\text{C}$ 온도범위에서 건식산화(dry oxidation)를 하여 계면트랩을 최소화한다. 즉, 일반적으로 습식산화를 수소 종말처리(Hydrogen termination)에 의해 계면트랩이 적지만 외부 전기적 스트레스에 대해서 수소 본딩(bonding)이 쉽게 깨지기 때문에 계면트랩의 생성이 많다. 하지만, 건식산화를 이용하면서 Cl 가스를 사용하면, Cl이 실리콘과 측벽산화막(35) 계면에 축적되어 수소보다 강력한 본딩을 가질 수 있다.

- <41> 그리고, 측벽산화막(35)의 $20\text{\AA} \sim 135\text{\AA}$ 두께는, 후속 질화처리시의 질소 농도 프로파일과 고밀도플라즈마 산화막의 갭필마진을 고려한 두께이다.
- <42> 도 4b에 도시된 바와 같이, 측벽산화막(35)을 포함한 전면에 라이너산화막(liner oxide, 36)을 증착한다. 일반적으로 라이너산화막(36)은 라이너질화막 적용시 기계적 스트레스 완화 및 후속 갭필산화막 공정에서 라이너질화막이 손실되는 것을 방지하기 위한 목적으로 사용되는데, 제1실시예에서는 측벽산화막과 라이너산화막 계면에 질소를 축적시키는 역할과 갭필산화막 공정에서 질화 산화막(Nitrided oxide)의 손실을 억제하는 목적으로 사용된다.
- <43> 전술한 라이너산화막(36)은 화학기상증착법으로 증착한다. 이때, 라이너산화막(36)의 증착을 1스텝 이상으로 진행하므로써 여러 개의 계면을 생성시킨다. 여기서, 스텝수는 안정적인 라이너산화막(36) 두께를 얻을 수 있는 범위에서 진행한다.
- <44> 도 4c에 도시된 바와 같이, 라이너산화막(36)이 형성된 상태에서 질화처리(nitridation) 공정을 진행하여 측벽산화막(35)과 라이너산화막(36)의 두층을 질화 산화막(nitrided oxide, 37)으로 바꾼다. 이때, 질화처리는 질소 프로파일(nitrogen profile)이 넓게 분포하는 N_2O , NO 또는 NH_3 처리의 방법을 사용한다. 즉, 질화 산화막(37) 표면으로부터 트렌치(34) 표면까지 질소농도의 프로파일이 넓게 존재한다.
- <45> N_2O , NO 또는 NH_3 질화처리 방법을 실시할 때, 측벽산화막(35)과 라이너산화막(36)의 계면은 수많은 땀글링본드(dangling bond)가 존재하고, 이 땀글링본드에 의해 질화처리시 질소가 첫번째 계면인 측벽산화막(35)과 라이너산화막(36) 계면에 일차적으로 축적되어 질화축적층(37a)을 형성시킨다. 그리고, 이 질화축적층(37a)이 계속되는 질화처리시 확산해들어오는 질소의 확산을 억제하기 때문에 트렌치(34) 표면과 측벽산화막(35) 계면에는 질소의 농도를 현저히 줄일 수 있다. 즉, 질소축적층(37a)으로부터 질소 농도를 점진적으로 감소시켜 트렌치(34) 표

면과 질화 산화막(37), 즉 측벽산화막(35)과 트렌치(34) 계면에서는 질소 농도가 낮도록 하여 트렌치(34) 표면에서 질화가 일어나지 않도록 하는 것이다.

<46> 전술한 바에 따르면, 질화처리방법으로 인해 측벽산화막(35)과 라이너산화막(35)이 질화 산화막(37)으로 바뀌고, 아울러 측벽산화막(35)과 라이너산화막(36)의 계면에 일차적으로 질소가 축적되어 질소축적층(37a)이 형성된다. 이때, 질화처리후 질소의 피크 농도는 질소축적층(37a)에 위치하도록 하고, 질소축적층(37a)이 형성됨에도 불구하고 트렌치(34) 표면쪽으로 확산하는 질소는 측벽산화막(35)과 라이너산화막(35) 계면을 2개 이상 만들거나, 측벽산화막(35) 두께를 증가시키거나 또는 질화처리시 질소의 유량을 감소시켜 조절한다. 여기서, 측벽산화막(35)과 라이너산화막(35) 계면을 2개 이상 만드는 방법은 위에서 설명한 바와 같이, 라이너산화막(36)의 증착을 1스텝 이상으로 진행하므로써 가능하다.

<47> 다음으로, 질화처리시 각 조건을 살펴보기로 한다.

<48> 먼저, NO 분위기의 질화처리 공정은 750℃~850℃의 온도범위에서 진행하며 소스가스로는 NO가스를 사용하고, NH₃ 질화처리 공정은 750℃~850℃의 온도범위에서 진행하며 소스가스로는 NH₃ 가스를 사용하며, N₂O 질화처리 공정은 800℃~950℃의 온도범위에서 진행하며 소스가스로는 N₂O 가스를 이용한다. 위와 같은 질화처리시 질소의 피크 농도는 1E20/cc~1E21/cc으로 하며, 질소가 트렌치(34) 표면과 측벽산화막(35) 계면까지 가능한한 적은 양이 도달되도록 하되, 후속 게이트산화막 에지에서 씨닝이 타겟 두께에 비해 20% 미만으로 감소되도록 조절한다.

<49> 도 4d에 도시된 바와 같이, 질화 산화막(37) 상에 트렌치(34)를 충분히 갱필하도록 고밀도플라즈마(HDP) 방식의 산화막을 증착한 후, 패드질화막(33) 표면이 드러날때까지 산화막을 화학적기계적연마를 통해 평탄화한다. 그리고 나서, 패드질화막과 패드산화막을 선택적으로 제

거하여 최종적으로 STI 구조의 소자분리막(38)을 완성한다. 여기서, 소자분리막(38)은 고밀도 플라즈마 방식의 산화막이다.

<50> 도 5a 내지 도 5d는 본 발명의 제2실시예에 따른 소자분리막의 형성 방법을 도시한 공정 단면도이다.

<51> 도 5a에 도시된 바와 같이, 반도체 기판(41) 상에 패드산화막(42)과 패드질화막(43)을 순차적으로 적층한다. 여기서, 반도체 기판(41)은 소정의 불순물을 포함한 실리콘 기판이다. 그리고, 패드산화막(42)은 $50\text{Å} \sim 100\text{Å}$ 두께로 형성되고, 패드질화막(43)은 $500\text{Å} \sim 1000\text{Å}$ 두께로 형성된다.

<52> 다음에, 반도체 기판(41)의 소자분리 예정영역이 노출되도록 패드질화막(43) 및 패드산화막(42)을 공지의 포토리소그래피 공정을 이용하여 식각한다. 즉, 미도시된 소자분리마스크(Isolation mask)를 이용하여 패드질화막(43)과 패드산화막(42)을 식각한다.

<53> 다음으로, 소자분리마스크 또는 소자분리마스크를 제거한 후의 패드질화막(43)을 마스크로 하여, 반도체 기판(41)을 $1000\text{Å} \sim 1500\text{Å}$ 의 깊이로 식각하여 트렌치(44)를 형성한다. 이때, 트렌치(44)는 STI를 형성하기 위한 얇은 트렌치이며, 트렌치(44)를 형성하기 위한 식각 공정은 플라즈마를 이용한 건식 식각 공정이 이용될 수 있다. 이러한 건식 식각 공정으로, 트렌치(44) 표면에 실리콘 격자 결함 및 데미지와 같은 누설 전류원이 발생될 수 있다.

<54> 그 다음, 트렌치(44) 표면에 발생된 격자 결함 및 데미지를 치유하도록, 트렌치(44)의 내측 표면을 열산화하여 트렌치(44)의 측벽 및 바닥에 걸치는 측벽산화막(45)을 형성한다. 여기서, 측벽산화막(45)은 $20\text{Å} \sim 135\text{Å}$ 두께로 얇게 형성된다.

- <55> 전술한 측벽산화막(45) 공정은 계면트랩(interface trap)이 적은 산화 공정을 사용하는 데, 예를 들어 산화 초기에 Cl 가스를 5%~10% 범위로 첨가하고 850℃~950℃ 온도범위에서 건식산화(dry oxidation)를 하여 계면트랩을 최소화한다. 그리고, 측벽산화막(45)의 20Å~135Å 두께는, 후속 질화처리시의 질소 농도 프로파일과 고밀도플라즈마 산화막의 갭필마진을 고려한 두께이다.
- <56> 도 5b에 도시된 바와 같이, 측벽산화막(45)을 포함한 전면에 라이너산화막(liner oxide, 46)을 증착한다. 일반적으로 라이너산화막(46)은 라이너질화막 적용시 기계적 스트레스 완화 및 후속 갭필산화막 공정에서 라이너질화막이 손실되는 것을 방지하기 위한 목적으로 사용되는데, 제2실시예에서는 측벽산화막과 라이너산화막 계면에 질소를 축적시키는 역할과 갭필산화막 공정에서 질화 산화막(Nitrided oxide)의 손실을 억제하는 목적으로 사용된다.
- <57> 전술한 라이너산화막(46)은 화학기상증착법으로 증착한다. 이때, 라이너산화막(46)의 증착을 1스텝 이상으로 진행하므로써 여러 개의 계면을 생성시킨다. 여기서, 스텝수는 안정적인 라이너산화막(46) 두께를 얻을 수 있는 범위에서 진행한다.
- <58> 도 5c에 도시된 바와 같이, 라이너산화막(46)이 형성된 상태에서 질화처리(nitridation) 공정을 진행하여 측벽산화막(45)과 라이너산화막(46)의 계면에 질화 산화막(nitrided oxide, 47)을 형성시킨다. 이때, 질화처리는 질소 프로파일(nitrogen profile)이 가파르게 분포하는 RPN(Remote Plasma Nitridation) 또는 RLSA(Radial Line Slot Antenna) 공정을 이용한다. 즉, 측벽산화막(45) 표면에 질소가 축적되어 측벽산화막(45)과 라이너산화막(45) 계면을 질화 산화막(47)으로 바꾼다. 이는 제1실시예의 질화처리가 측벽산화막과 트렌치 계면에 질소가 축적되는 것과는 다르다.

- <59> RPN 또는 RLSA 공정을 실시할 때, 측벽산화막(45)과 라이너산화막(46)의 계면은 수많은 땀글링본드(dangling bond)가 존재하고, 이 땀글링본드에 의해 질화처리시 질소가 첫번째 계면인 측벽산화막(45)과 라이너산화막(46) 계면에 일차적으로 축적되어 질화 산화막(47)을 형성시킨다. 그리고, 이 질화산화막(47)이 계속되는 질화처리시 확산해들어오는 질소의 확산을 억제하기 때문에 트렌치(44) 표면과 측벽산화막(45) 계면에는 질소의 농도를 현저히 줄일 수 있다.
- <60> 이때, 질화처리후 질소의 피크 농도는 질화산화막(47)에 위치하도록 한다.
- <61> 다음으로, 질화처리시 각 조건을 살펴보기로 한다.
- <62> 먼저, RPN 공정은 550℃ ~ 900℃의 온도범위에서 진행하며 소스가스로는 헬륨(He)이 회석된 N₂를 사용하고, RLSA 공정은 플라즈마를 이용하여 소스가스인 N₂의 라디칼을 형성시키고 이 라디칼을 이용하여 질화시키는 방법으로 150℃ ~ 400℃에서 진행한다. 위와 같은 질화처리시 질소의 피크 농도는 1E20/cc ~ 1E21/cc로 하며, 질소가 트렌치(44) 표면과 측벽산화막(45) 계면까지 가능한한 적은 양이 도달되도록 하되, 후속 게이트산화막 에지에서 씨닝이 타겟 두께에 비해 20% 미만으로 감소되도록 조절한다.
- <63> 도 5d에 도시된 바와 같이, 라이너 산화막(46) 상에 트렌치(44)를 충분히 갱필하도록 고밀도플라즈마(HDP) 방식의 산화막을 증착한 후, 패드질화막(43) 표면이 드러날때까지 산화막을 화학적기계적연마를 통해 평탄화한다. 그리고 나서, 패드질화막(43)과 패드산화막(43)을 선택적으로 제거하여 최종적으로 STI 구조의 소자분리막(48)을 완성한다. 여기서, 소자분리막(48)은 고밀도플라즈마 방식의 산화막이다.

<64> 제2실시예는 질화처리시 질소가 측벽산화막과 라이너산화막의 계면에 축적됨에 따라 질소의 확산을 방지하기 위한 측벽산화막의 두께를 얇게 할 수 있고, 질화 산화막내의 질소 농도를 높일 수 있어 갭필마진 확보 및 불순물 확산 억제 효과를 제1실시예에 비해 더 효과적으로 얻을 수 있다.

<65> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<66> 상술한 본 발명은 라이너산화막을 형성한 후에 질화처리 공정을 진행하여 질화산화막을 형성시키므로써 라이너질화막의 불순물확산억제기능과 함께 라이너질화막과 측벽산화막 계면의 트랩 사이트를 줄여주어 전자트랩을 억제하고 라이너질화막 생략에 따른 갭필마진을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판의 소자 분리 영역을 소정 깊이만큼 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 내측 표면에 측벽산화막을 형성하는 단계;

상기 측벽산화막을 포함한 상기 반도체 기판 상부에 라이너산화막을 형성하는 단계;

상기 측벽산화막과 상기 라이너산화막의 계면에 질소를 축적시키는 질화처리 단계;

상기 트렌치 내부가 충분히 매립되도록 상기 라이너산화막 상에 절연막을 형성하는 단계

; 및

상기 절연막을 평탄화하는 단계

를 포함하는 반도체 소자의 소자분리막 형성 방법.

【청구항 2】

제1항에 있어서,

상기 질화처리 단계는,

N_2O , NO 또는 NH_3 질화처리방법을 이용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 3】

제2항에 있어서,

상기 NO 질화처리는, 750℃ ~ 850℃의 온도범위에서 진행하며 소스가스로는 NO가스를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 4】

제2항에 있어서,

상기 NH₃ 질화처리 공정은 750℃ ~ 850℃의 온도범위에서 진행하며 소스가스로는 NH₃ 가스를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 5】

제2항에 있어서,

상기 N₂O 질화처리 공정은 800℃ ~ 950℃의 온도범위에서 진행하며 소스가스로는 N₂O 가스를 이용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 6】

제1항에 있어서,

상기 질화처리 단계는,

RPN 또는 RLSA 공정을 이용하는 것을 특징으로 하는 반도체소자의 소자분리막 형성 방법.

【청구항 7】

제6항에 있어서,

상기 RPN 공정은 550℃ ~ 900℃의 온도범위에서 진행하며 소스가스로는 헬륨(He)이 희석된 N₂를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 8】

제6항에 있어서,

상기 RLSA 공정은 150℃ ~ 400℃에서 진행하며, 소스가스로는 N₂를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 9】

제1항에 있어서,

상기 라이너산화막을 형성하는 단계는,

화학기상증착법을 이용하되, 여러 개의 계면을 만들기 위해 적어도 1스텝 진행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 10】

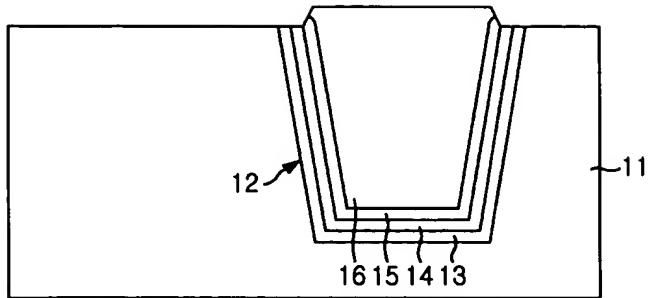
제1항에 있어서,

상기 측벽산화막은,

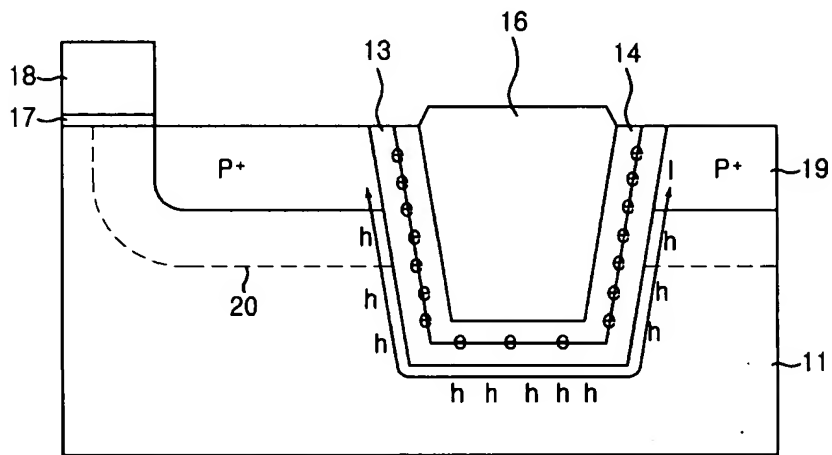
산화 초기에 Cl 가스를 5%~10% 범위로 첨가하고 850℃~950℃ 온도범위에서 건식산화하여 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【도면】

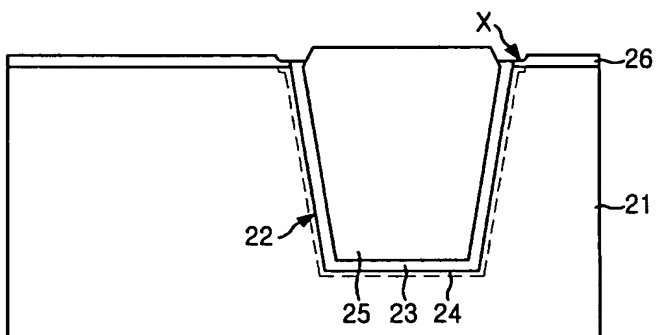
【도 1】



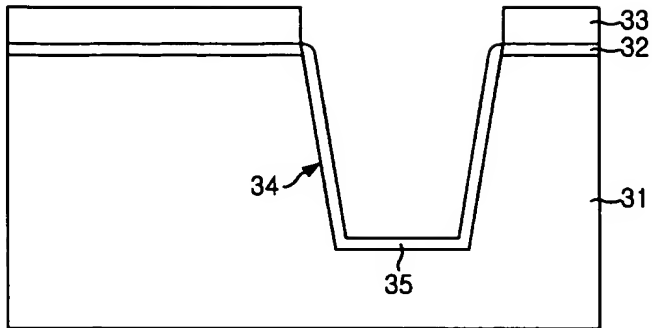
【도 2】



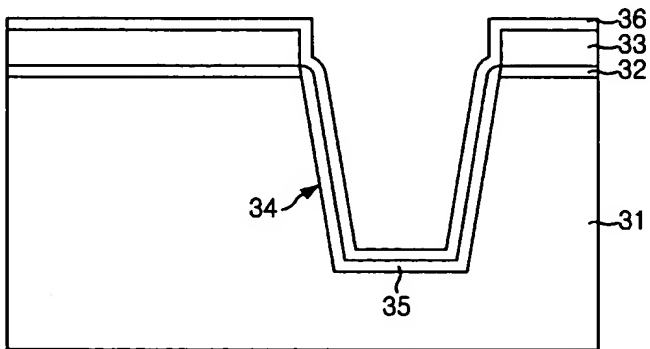
【도 3】



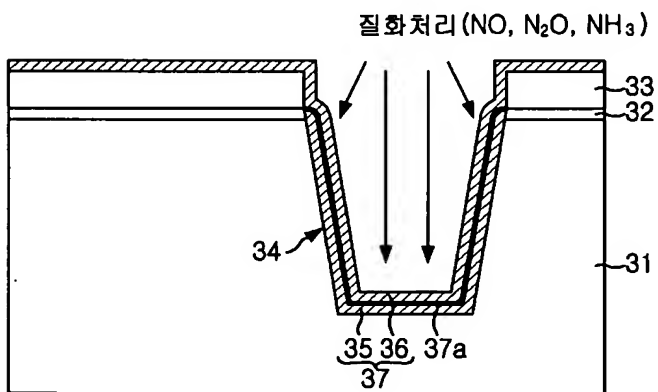
【도 4a】



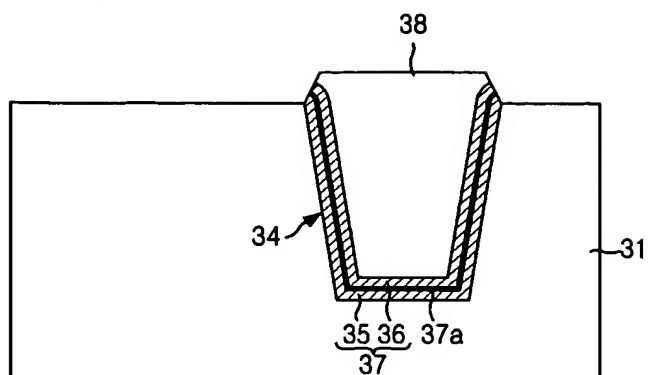
【도 4b】



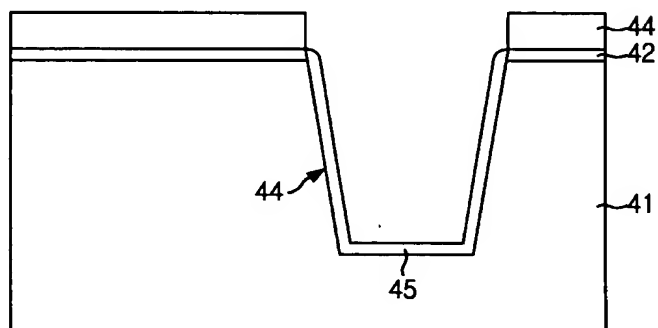
【도 4c】



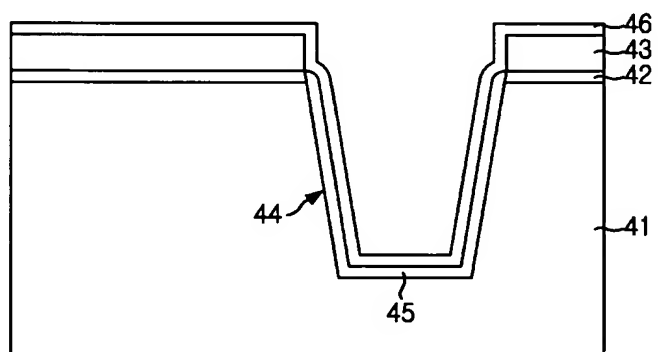
【도 4d】



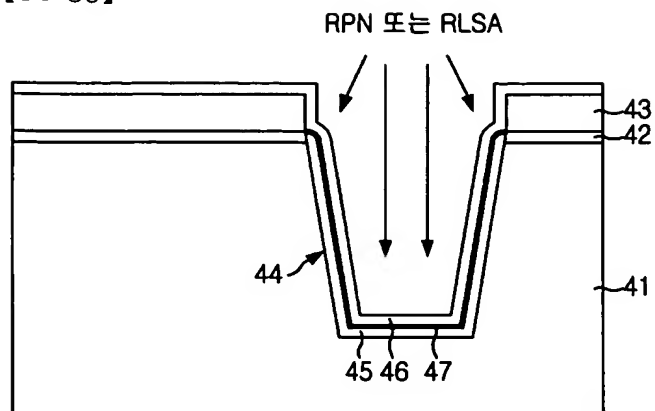
【도 5a】



【도 5b】



【도 5c】



【도 5d】

